

1/34/1 DIALOG(R)File 351:Derwent WPI (c) 2003 Thomson Derwent. All rts. reserv.

008741557 \*\*Image available\*\*

WPI Acc No: 1991-245573/199133

**Phase locked loop signal recovery appts. - has  
voltage-controlled delay connected in series with PLL which is controlled  
by voltage of PLL amplifier and filter**

Patent Assignee: ANALOG DEVICES INC (ANLG )

Inventor: BULZACCHELLI J F; BULZACHELLI J F

Number of Countries: 015 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 5036298	A	19910730	US 90514748	A	19900426	199133 B
WO 9116766	A	19911031				199146
EP 526573	A1	19930210	EP 91909233	A	19910425	199306
			WO 91US2865	A	19910425	
JP 5507188	W	19931014	JP 91508682	A	19910425	199346
			WO 91US2865	A	19910425	
EP 526573	B1	19950913	EP 91909233	A	19910425	199541
			WO 91US2865	A	19910425	
DE 69113038	E	19951019	DE 613038	A	19910425	199547
			EP 91909233	A	19910425	
			WO 91US2865	A	19910425	

Priority Applications (No Type Date): US 90514748 A 19900426

Cited Patents: FR 1338766; US 2405771; US 3820034

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
WO 9116766	A				
					Designated States (National): JP
					Designated States (Regional): AT BE CH DE DK ES FR GB GR IT LU NL SE
EP 526573	A1 E	19		H03L-007/081	Based on patent WO 9116766
					Designated States (Regional): DE FR GB
JP 5507188	W			H03L-007/08	Based on patent WO 9116766
EP 526573	B1 E	11		H03L-007/081	Based on patent WO 9116766
					Designated States (Regional): DE FR GB
DE 69113038	E			H03L-007/081	Based on patent EP 526573
					Based on patent WO 9116766

Abstract (Basic): US 5036298 A

The phase-locked loop signal recovery appts. is responsive to a control signal for generating a variable-frequency periodic signal. A delay device responsive to the control signal selectively delays the incoming data stream to generate a delayed data stream. In response to the delayed data stream and to the variable-frequency periodic signal the control signal is generated which is indicative of the phase difference between the delayed data stream and the variable frequency periodic signal.

The delay device comprises a voltage-controlled phase shifter. The control signal generator comprises a phase detector and an integrator with a transfer function that does not include an explicit zero.

ADVANTAGE - Jitter peaking eliminated. (6pp Dwg.No.4/5)

Abstract (Equivalent): EP 526573 B

The phase-locked loop signal recovery appts. is responsive to a control signal for generating a variable-frequency periodic signal. A delay device responsive to the control signal selectively delays the incoming data stream to generate a delayed data stream. In response to the delayed data stream and to the variable-frequency periodic signal the control signal is generated which is indicative of the phase difference between the delayed data stream and the variable frequency periodic signal.

The delay device comprises a voltage-controlled phase shifter. The

**This Page Blank (uspto)**

---

control signal generator comprises a phase detector and an integrator with a transfer function that does not include an explicit zero.

ADVANTAGE - Jitter peaking eliminated.

EP-526573 A phase locked loop signal recovery apparatus for recovering a periodic signal from an incoming data stream (400), the phase locked loop signal recovery apparatus having: a. a phase detector (402) that generates an output signal representing a difference in phase between a first input, derived from the incoming data stream, and a second input, derived from an output of the signal recovery apparatus; b. an integrating amplifier (410) receiving as input the output signal of the phase detector (402) and generating as output a control signal proportional to a time integral of the output signal of the phase detector (402); c. a variable frequency oscillator (414) receiving as input the control signal and providing as an output a signal whose frequency varies in response to the control signal; and d. a variable phase shifter (418), receiving as input an undelayed signal and the control signal, and providing as output a delayed signal that differs in phase from the undelayed signal by a phase shift that varies in response to the control signal; characterized in that: e. the incoming data stream (400) provides the undelayed signal of the variable phase shifter (418), and the output of the variable phase shifter (418) couples to the first input of the phase detector (402); and f. said output of the variable frequency oscillator (414) couples to the second input of the phase detector, wherein a filter transfer function relating a phase of said output of the variable frequency oscillator (414) to a phase of the incoming data stream substantially equals  $K_2/S^2 + K\sigma_2S + K_2$  's' being complex frequency,  $K_2$  being a product of a gain of the phase detector, a gain of the integrator, and a gain of the variable frequency oscillator, and  $\tau$  being a ratio of a gain of the phase shifter to the gain of the variable frequency oscillator; and wherein a damping ratio and tracking of the phase locked loop are independently selectable, and said damping ratio is selected to maintain the jitter transfer function equal to or less than unity at all frequencies, eliminating jitter peaking, regardless of the tracking.

(Dwg.4/5)

Derwent Class: U22; W01

International Patent Class (Main): H03L-007/08; H03L-007/081

Derwent WPI (Dialog® File 351): (c) 2003 Thomson Derwent. All rights reserved.

---

© 2003 The Dialog Corporation

**This Page Blank (uspto)**

00P 14788



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Übersetzung der  
europäischen Patentschrift

⑤1 Int. Cl.<sup>6</sup>:  
H 03 L 7/081

⑧7 EP 0 526 573 B1

⑩ DE 691 13 038 T 2

②1 Deutsches Aktenzeichen:	691 13 038.8
⑧6 PCT-Aktenzeichen:	PCT/US91/02865
⑧6 Europäisches Aktenzeichen:	91 909 233.8
⑧7 PCT-Veröffentlichungs-Nr.:	WO 91/16766
⑧6 PCT-Anmeldetag:	25. 4. 91
⑧7 Veröffentlichungstag der PCT-Anmeldung:	31. 10. 91
⑧7 Erstveröffentlichung durch das EPA:	10. 2. 93
⑧7 Veröffentlichungstag der Patenterteilung beim EPA:	13. 9. 95
④7 Veröffentlichungstag im Patentblatt:	1. 2. 96

DE 691 13 038 T 2

③0 Unionspriorität: ③2 ③3 ③1  
26.04.90 US 514748

⑦3 Patentinhaber:  
Analog Devices Inc., Norwood, Mass., US

⑦4 Vertreter:  
Schoppe, F., Dipl.-Ing.Univ., Pat.-Anw., 82049 Pullach

⑧4 Benannte Vertragsstaaten:  
DE, FR, GB

⑦2 Erfinder:  
BULZACHELLI, John, F., Arlington, MA 02174, US

⑤4 TAKRÜCKGEWINNUNGSSCHALTUNG OHNE ANHEBUNG DES JITTERS.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 691 13 038 T 2

Europäisches Aktenzeichen: 91909233.8

Diese Erfindung bezieht sich auf Taktrückgewinnungsschaltungen und insbesondere auf Taktrückgewinnungsschaltungen, die einen Phasenregelkreis verwenden, um ein Taktsignal zu regenerieren.

Ein digitaler Datenstrom, der einen verzerrten und verrauschten Übertragungskanal durchlaufen hat, muß oft zeitlich neu angeordnet oder regeneriert werden, so daß er genau decodiert werden kann. Wenn die Übertragung lange Entfernungen überbrückt, muß die Regenerationsprozedur oftmals mehrere Male durchgeführt werden. Alternativ müssen bei Daten, die ein eingebettetes Taktsignal haben, das Taktsignal zurückgewonnen werden, bevor die Daten decodiert werden können.

Für diese digitalen Signale, die eine ausdrückliche oder implizierte Taktfrequenz haben, gewinnen die herkömmlichen digitalen Empfänger oder Wiederholungsschaltungen, die das Signal regenerieren, typischerweise das Taktsignal zurück und verwenden das zurückgewonnene Signal, um die Daten zeitlich neu anzuordnen. Die Schaltungen, die das Taktsignal aus den einkommenden Daten zurückgewinnen, sind als Taktsynchronisierer bekannt und verwenden oft einen Phasenregelkreis, um einen Lokaloszillator zu steuern, der bei der Taktsignalfrequenz arbeitet.

Ein herkömmlicher Phasenregelkreis enthält drei Komponenten: einen Phasendetektor, einen Schleifenverstärker und -filter und einen spannungsgesteuerten Oszillator (VCO = Voltage Controlled Oscillator), dessen Frequenz durch eine Steuerungsspannung gesteuert ist. Der Phasendetektor vergleicht die Phase eines einkommenden Datensignals mit der Phase des VCO und erzeugt einen Ausgang, der eine Messung der Phasendifferenz zwischen seinen zwei Eingängen ist. Der Phasendetektorausgang wird dann durch den Schleifenverstärker und -filter verstärkt und gefiltert und an den VCO als Steue-

nungsspannung angelegt. Die Steuerungsspannung wird an den VCO derart angelegt, daß sie die Phasendifferenz zwischen dem Eingangssignal und dem VCO reduziert.

Wenn die Schleife in einer "verriegelten" Bedingung ist, ist die Steuerungsspannung, die durch den Schleifenverstärker und -filter erzeugt wird, derart, daß die Oszillationsfrequenz des VCO im wesentlichen gleich der Bitrate des Eingangssignals ist, und folglich kann das Taktsignal aus der VCO-Ausgabe regeneriert werden. Aufgrund der endlichen Bandbreite des Phasenregelkreises wird der Ausgang des VCO jedoch Variationen des Eingangs nicht perfekt nachführen, wodurch ein sich zeitlich verändernder Phasennachführungsfehler erzeugt wird. Es ist wünschenswert, den Phasenregelkreis zu entwerfen, um die Nachführung zu maximieren, und um folglich diesen Nachführungsfehler zu minimieren.

Es ist möglich, die Nachführung durch Erhöhen der Schleifenbandbreite zu verbessern, aber wenn dies durchgeführt wird, wird ein anderes Problem verschärft. Bei einem typischen Eingangssignal ist die Phase des ausdrücklichen oder implizierten Taktsignals nicht absolut konstant, sondern ist ebenfalls einer Zeitveränderung oder "Jitter" ausgesetzt. Nachdem die einkommenden Daten unter Verwendung der VCO-Ausgabe zeitlich neu angeordnet werden, ist es wünschenswert, daß die Schleife den Jitter der einkommenden Daten nicht nachführt, so daß der Eingangsphasen-Jitter am Ausgang reduziert werden kann. Der Ausgangs-Jitter geteilt durch den Eingangs-Jitter ist als die "Jitter-Übertragungsfunktion" der Schaltung bekannt. Diese Übertragungsfunktion hat eine "Tiefpaß"-Charakteristik, und es ist im allgemeinen wünschenswert, die Grenzfrequenz (Cut-off-Frequenz) so niedrig wie möglich zu machen. Die Grenzfrequenz der Jitter-Übertragungsfunktion kann durch Reduzieren der Schleifenbandbreite reduziert werden, aber diese Aktion verschlechtert die Schleifennachführung. Folglich sind Taktrückgewinnungsschaltungen nach dem Stand der Technik im allgemeinen Kompromisse.

Ferner schließen bei einem herkömmlichen Phasenregelkreis der Schleifenverstärker und -filter normalerweise einen Integrator ein, um sicherzustellen, daß der durch die Schleife induzierte Phasenfehler so nahe wie möglich auf Null getrieben wird. Eine zusätzliche Schaltung wird im allgemeinen zu dem Integrator hinzugefügt, so daß der Verstärker und das Filter eine Übertragungsfunktion (in Übereinstimmung mit der Standard-Laplace-Transformationsbezeichnung) mit einem expliziten Nullpunkt haben, der notwendig ist, um den Phasenregelkreis zu stabilisieren. Das Vorhandensein des Nullpunkts in der Übertragungsfunktion des Verstärkers und des Filters erzeugt jedoch ein Problem, das als "Jitter-Anhebung" bekannt ist. Dieses letztgenannte Problem ergibt sich aus der Tatsache, daß aufgrund des Nullpunkts die Jitter-Übertragungsfunktion für die geschlossene Schleife des Phasenregelkreises innerhalb eines Bandes von Frequenzen Eins überschreitet. Der einkommende Signal-Jitter wird dann bei diesen Frequenzen verstärkt, was am Ausgang mehr Jitter erzeugt. Das Jitter-Anhebungsproblem tritt besonders dann hervor, wenn, wie es vorher beschrieben wurde, Regeneratoren in einem digitalen Kommunikationssystem für lange Entfernungen kaskadisch angeordnet sein müssen. In diesem Fall wird das Jitter-Rauschen durch jeden Regenerator erhöht, so daß sich das Rauschen exponentiell akkumuliert, wie es in der Schrift "Jitter In Digital Transmission Systems", P. Trischitta und E. Varma, Kapitel 3, Artech House, 1989, diskutiert wurde.

Ein weiterer relevanter Stand der Technik, die US-A-3,820,034 von John Ball mit dem Titel "Digital Signal Regenerators", lehrt einen Weg, um die Jitter-Anhebung bei Phasenregelkreisen zu reduzieren. Der Phasenregelkreis von Ball verwendet einen Phasenschieber in seiner Rückkopplungsschleife, dessen Aufgabe darin besteht, einen Nachlauf zu dämpfen und folglich den Phasen-Jitter zu reduzieren. Auch die US-A-2,405,771 von Marc Ziegler mit dem Titel "Method of Synchronizing a Plurality of Oscillations" lehrt ein Verfahren zur Verwendung eines Phasenregelkreises mit einem Pha-



senschieber, der in Serie mit dem einkommenden Datensignal angeordnet ist, wobei ein Steuerungssignal an den Phasenschieber durch einen Verstärker bereitgestellt wird, dessen Eingang nicht explizit gefiltert oder integriert ist.

Folglich ist es eine Aufgabe der vorliegenden Erfindung, eine Taktrückgewinnungsschaltung zu schaffen, bei der die Jitter-Anhebung vermieden wird.

Es ist eine weitere Aufgabe der vorliegenden Erfindung eine Taktrückgewinnungsschaltung zu schaffen, bei der der explizite Nullpunkt, der normalerweise in der Übertragungsfunktion des Schleifenverstärkers und -filters angetroffen wird, ohne Beeinflussung der Stabilität der Schleife eliminiert werden kann.

Es ist eine weitere Aufgabe der vorliegenden Erfindung, eine Taktrückgewinnungsschaltung zu schaffen, bei der die Komponenten des Phasenregelkreises derart ausgewählt werden können, daß die Jitter-Übertragungsfunktion niemals Eins überschreitet.

Die vorangegangenen Aufgaben und die vorangegangenen Probleme werden durch ein beispielhaftes Ausführungsbeispiel der Erfindung gelöst, bei dem ein Verzögerungselement in dem einkommenden Datenstrom vor dem Phasenregelkreis angeordnet ist. Das Verzögerungselement wird durch die Steuerungsspannung gesteuert, die durch den Verstärker und das Filter des Phasenregelkreises erzeugt werden. Durch diese Struktur wird nicht länger ein expliziter Nullpunkt in der Übertragungsfunktion des Schleifenverstärkers und -filters benötigt, um die Schleife zu stabilisieren. Genauer gesagt hat die Übertragungsfunktion der geschlossenen Schleife der erfindungsgemäßen Schaltung dieselben Pole wie die herkömmliche Phasenregelkreisschaltung und folglich dieselbe Stabilität. Ohne den expliziten Nullpunkt existiert keine Frequenz, bei der die Jitter-Übertragungsfunktion Eins überschreitet und daher wird die "Jitter-Anhebung" vermieden.

Gemäß einem ersten Aspekt der Erfindung wird eine Signalarückgewinnungsvorrichtung mit Phasenregelkreis geschaffen, um ein periodisches Signal aus einem einkommenden Datenstrom zurückzugewinnen, wobei die Signalarückgewinnungseinrichtung mit Phasenregelschleife einen Phasendetektor einschließt, der ein Ausgangssignal erzeugt, das eine Phasendifferenz zwischen einem ersten Eingang, der aus dem einkommenden Datenstrom abgeleitet wird, und einem zweiten Eingang, der aus einem Ausgang der Signalarückgewinnungseinrichtung abgeleitet wird, repräsentiert. Die Signalarückgewinnungseinrichtung mit Phasenregelschleife umfaßt ferner einen integrierenden Verstärker, der als Eingang das Ausgangssignal des Phasendetektors empfängt und als Ausgang ein Regelsignal generiert, das proportional zu einem zeitlichen Integral des Ausgangssignals des Phasendetektors ist, einen Oszillator mit variabler Frequenz, der als Eingang das Regelsignal empfängt und als Ausgang ein Signal liefert, dessen Frequenz in Abhängigkeit von dem Regelsignal variiert, und einen variablen Phasenschieber, der als Eingang ein unverzögertes Signal und das Regelsignal empfängt und als Ausgang ein verzögertes Signal liefert, dessen Phase sich gegenüber dem unverzögerten Signal um eine Phasenverschiebung unterscheidet, die in Reaktion auf das Regelsignal variiert. Die Signalarückgewinnungseinrichtung mit Phasenregelschleife ist dadurch gekennzeichnet, daß der einkommende Datenstrom das unverzögerte Signal des variablen Phasenschiebers bildet, wobei der Ausgang des variablen Phasenschiebers mit dem ersten Eingang des Phasendetektors verbunden ist, und daß der Ausgang des Oszillators mit variabler Frequenz mit dem zweiten Eingang des Phasendetektors verbunden ist. Eine sich ergebende Jitter-Übertragungsfunktion, die eine Phase des Ausgangs des Oszillators mit variabler Frequenz mit einer Phase des einkommenden Datenstroms in Beziehung setzt, lautet im wesentlichen

$$K_2$$

---

$$s^2 + K_2 \tau_2 s + K_2$$

wobei "s" eine komplexe Frequenz ist,  $K_2$  ein Produkt einer Verstärkung des Phasendetektors, einer Verstärkung des Integrators und einer Verstärkung des Oszillators mit variabler Frequenz ist, und  $r_2$  ein Verhältnis der Verstärkung des Phasenschiebers zu der Verstärkung des Oszillators mit variabler Frequenz ist, wobei ein Dämpfungsverhältnis und eine Nachführung des Phasenregelkreises unabhängig auswählbar sind, und wobei das Dämpfungsverhältnis ausgewählt ist, um die Jitter-Übertragungsfunktion bei allen Frequenzen gleich oder kleiner als Eins zu halten, wodurch eine Jitter-Anhebung unabhängig von der Nachführung vermieden wird.

Gemäß einem zweiten Aspekt der Erfindung wird ein Phasenregelkreis-implementiertes Verfahren geschaffen, um ein periodisches Signal aus einem einkommenden Signal zurückzugewinnen, um ein regeneriertes Signal zu erzeugen, ohne Verstärkung des Phasen-Jitters in dem einkommenden Signal. Der Phasenregelkreis führt den Schritt des Vergleichens einer Phase eines ersten Signals, das aus dem einkommenden Signal abgeleitet wird, mit einer Phase eines zweiten Signals, das aus dem regenerierten Signal abgeleitet wird, aus, um ein Phasendifferenzsignal zu erzeugen, das unter Einbeziehung einer Verstärkung  $G_1$  proportional zu einer Differenz zwischen der Phase des ersten und des zweiten Signals ist. Der Phasenregelkreis führt ferner folgende Schritte durch: Integrieren des Phasendifferenzsignals bezüglich der Zeit, um ein integriertes Phasendifferenzsignal zu erzeugen, das unter Einbeziehung einer Verstärkung  $G_2$  proportional zu dem Phasendifferenzsignal ist, Umwandeln des integrierten Phasendifferenzsignals in eine Frequenz, um ein Frequenzausgangssignal zu erzeugen, das unter Einbeziehung einer Verstärkung  $G_3$  proportional zu einer Größe bzw. einem Betrag des integrierten Phasendifferenzsignals ist, und Verzögern eines der einkommenden Signale und des regenerierten Signals um eine Zeitdauer, die unter Einbeziehung einer Verstärkung  $G_4$  proportional zu der Größe bzw. dem Betrag des integrierten Phasendifferenzsignals ist, um ein verzögertes Signal zu erzeugen.

gen. Das Phasenregelkreis-implementierte Verfahren ist dadurch gekennzeichnet, daß der Schritt des Verzögerns das Verzögern des einkommenden Signals einschließt, um das erste Signal zu erzeugen. Eine sich ergebende Jitter-Übertragungsfunktion, die eine Phase des Ausgangs des Oszillators mit variabler Frequenz mit einer Phase des einkommenden Signals in Beziehung setzt, ist im wesentlichen gleich

$$\frac{K_2}{s^2 + K_2 \tau_2 s + K_2}$$

wobei "s" eine komplexe Frequenz ist,  $K_2$  ein Produkt von  $G_1$ ,  $G_2$  und  $G_3$  ist, und  $\tau_2$  das Verhältnis von  $G_4$  zu  $G_3$  ist, wobei ein Dämpfungsverhältnis und eine Nachführung des Phasenregelkreises unabhängig auswählbar sind, und wobei ein Dämpfungsverhältnis ausgewählt ist, um die Jitter-Übertragungsfunktion bei allen Frequenzen gleich oder kleiner als Eins zu halten, wodurch eine Jitter-Anhebung unabhängig von der Nachführung vermieden wird.

Die Erfindung wird nun durch ein Beispiel lediglich anhand der folgenden Figuren beschrieben, in denen:

Fig. 1 ist ein Blockdiagramm eines herkömmlichen Phasenregelkreises.

Fig. 2 ist ein linearisiertes Blockdiagramm für den in Fig. 1 gezeigten Phasenregelkreis, der für Analysezwecke verwendet wird.

Fig. 3 ist eine Zeichnung der Jitter-Übertragungsfunktion des Phasenregelkreises, der in Fig. 1 gezeigt ist, als eine Funktion der Frequenz im logarithmischen Maßstab.

Fig. 4 ist ein Blockdiagramm der erfindungsgemäßen Phasenregelkreisarchitektur.

Fig. 5 ist ein linearisiertes Blockdiagramm des in Fig. 4 gezeigten Phasenregelkreises, das für Beurteilungszwecke verwendet wird.

Ein typischer Phasenregelkreis, der für Taktrückgewinnungszwecke geeignet ist, ist in Fig. 1 gezeigt. Einkommende Daten auf der Leitung 100 treten in einen Phasendetektor 102 ein. Der Phasendetektor 102 empfängt auf der Leitung 104 einen anderen Eingang, wobei der Eingang ein Taktsignal ist, das durch den spannungsgesteuerten Oszillator (VCO) 114 auf der Leitung 115 erzeugt worden ist. Der Phasendetektor 102 vergleicht die Phase des Taktsignals auf Leitung 104 mit derjenigen der Daten auf der Leitung 100 und erzeugt ein Phasenfehlersignal auf der Leitung 108, wobei das Phasenfehlersignal die Differenz der Phase zwischen dem Taktsignal und den einkommenden Daten anzeigt. Das Phasenfehlersignal auf der Leitung 108 wird einem Schleifenverstärker und -filter 110 bereitgestellt, der ein Steuerungssignal 112 erzeugt, das verwendet wird, um den Ausgang des VCO 114 einzustellen, so daß der Phasenfehler, der durch den Phasendetektor 102 erfaßt wird, auf Null reduziert wird. Die einkommenden Daten auf der Leitung 100 können dann durch eine herkömmliche Schaltung (nicht dargestellt) zeitlich neu angeordnet werden.

Fig. 2 der Zeichnung zeigt ein linearisiertes Blockdiagramm des in Fig. 1 gezeigten Phasenregelkreises. Entsprechende Elemente in Fig. 1 und 2 sind mit ähnlichen Bezugszeichen versehen. Der VCO 114 in Fig. 1 entspricht z.B. dem VCO 214 in Fig. 2 etc. In Übereinstimmung mit der herkömmlichen Netzwerktheorie ist der Phasendetektor 102 durch einen Summierer 202 dargestellt. Um sicherzustellen, daß der Phasenfehler auf Null getrieben wird, schließen der Schleifenverstärker und -filter 110, wie es oben ausgeführt wurde, einen Integrator plus eine weitere herkömmliche Schaltung ein, so daß die Übertragungsfunktion der Verstärker- und Filterschaltung 110 einen expliziten Nullpunkt enthält, der für

die Schleifenstabilität notwendig ist. Der VCO 114 ist durch die Funktion  $K/s$  im Block 214 dargestellt.

Eine einfache Rückkopplungsanalyse der linearisierten Schaltung, die in Fig. 2 gezeigt ist, zeigt, daß die Jitter-Übertragungsfunktion der Schleife wie folgt lautet:

$$\frac{\phi_{\text{Takt}}(s)}{\phi_{\text{Daten}}(s)} = \frac{K_1 (1 + \tau_1 s)}{s^2 + K_1 \tau_1 s + K_1} \quad (1)$$

wobei  $K_1$  herkömmlicherweise das Produkt der Phasendetektorverstärkung, der Schleifenverstärker und -filterverstärkung und der VCO-Verstärkung ist, und wobei  $\tau_1$  die Zeitkonstante des expliziten Nullpunkts in dem Schleifenverstärker und -filter ist.

Es ist möglich zu zeigen, daß die Jitter-Übertragungsfunktion gemäß dem Ausdruck (1) zumindest in einem Frequenzband Eins übersteigt, wie es im Frequenzband 300 in der Zeichnung der Jitter-Übertragungsfunktion gegenüber der logarithmischen Frequenz in Fig. 3 gezeigt ist. Dieses Phänomen ist die Ursache der oben erwähnten "Jitter-Anhebung". Bei Phasenregelkreisen, die kaskadisch angeordnet ist, ist die "Jitter-Anhebung" multiplizierend und stellt folglich ein erhebliches Problem dar.

Fig. 4 der Zeichnung zeigt eine verbesserte Phasenregelkreisarchitektur in Übereinstimmung mit den Prinzipien der vorliegenden Erfindung, die das Problem der "Jitter-Anhebung" vermeidet. Die Schaltung besteht aus einer Phasenregelschleife 430, die im wesentlichen zu derjenigen, die in Fig. 1 gezeigt ist, äquivalent ist. Sie schließt einen Phasendetektor 402, einen Schleifenverstärker und -filter 410 und einen VCO 414 ein. Äquivalente Teile in der Schleife, die in Fig. 4 gezeigt sind, die denjenigen, die in Fig. 1 gezeigt sind, entsprechen, haben ähnliche Bezugszeichen (z.B. entspricht der VCO 114 dem VCO 414).

Die herkömmliche Phasenregelkreisarchitektur wurde jedoch durch das Hinzufügen eines spannungsgesteuerten Phasenschiebers 418 in Serie mit dem einkommenden Datenstrom modifiziert. Die einkommenden Daten auf der Leitung 400 werden einem Phasenschieber 418 bereitgestellt, der einen verzögerten Datenstrom 420 erzeugt, wobei die Verzögerung proportional zu einer Steuerungsspannung ist, die auf der Leitung 416 bereitgestellt wird. Die verzögerten Daten 420 werden dann als Eingangsdaten dem Phasenregelkreis 430 bereitgestellt. Die Steuerungsspannung auf der Leitung 416 wird durch den Schleifenverstärker und -filter 410 erzeugt und ist dieselbe Spannung, die an den VCO 414 über die Leitung 412 angelegt wird.

Wie bei dem Phasenregelkreis, der in Fig. 1 gezeigt ist, schließt der Schleifenverstärker und -filter 410 einen Integrator ein, so daß die statische (oder Gleichstrom-) Komponente des Phasenfehlers auf Null reduziert wird. Ein expliziter Nullpunkt der Übertragungsfunktion des Schleifenverstärkers und -filters ist jedoch nicht länger notwendig, da der Phasenschieber 418 die Schleife stabilisiert.

Ein linearisiertes Blockdiagramm des Phasenregelkreissystems aus Fig. 4 ist in Fig. 5 genauer gezeigt. Der spannungsgesteuerte Phasenschieber 418 ist durch einen Verstärkungsblock 522 in Serie mit einem Summierer 519 dargestellt. Es sollte ebenfalls darauf hingewiesen werden, daß der Schleifenverstärker und -filter 410 durch einen einfachen Integrierer 510 dargestellt ist, der keinen expliziten Nullpunkt aufweist.

Aus dem Diagramm in Fig. 5 kann gezeigt werden, daß die folgenden zwei Beziehungen bezüglich der Steuerungsspannung  $v_1$  gelten:

$$\phi_{\text{Daten}} - K_2 \tau_2 v_1 - \phi_{\text{Takt}} = s v_1 \quad (2)$$

$$\phi_{\text{Takt}} = v_1 K_2 / s \quad (3)$$

wobei  $K_2$  das Produkt der Phasendetektorverstärkung, der Schleifenverstärker und -filterverstärkung und der VCO-Verstärkung ist, und wobei  $\tau_2$  das Verhältnis der Phasenschieberverstärkung zur VCO-Verstärkung ist.

Durch Ersetzen von  $v_1$  lautet die Jitter-Übertragungsfunktion wie folgt:

$$\frac{\phi_{\text{Takt}}(s)}{\phi_{\text{Daten}}(s)} = \frac{K_2}{s^2 + K_2 \tau_2 s + K_2} \quad (4)$$

Ein Vergleich der Jitter-Übertragungsfunktionen in den Gleichungen (1) und (4) zeigt, daß die Architektur aus Fig. 4 dieselben Pole wie die herkömmliche Architektur aus Fig. 1 hat, und daß die Schleifenstabilität folglich dieselbe ist. Die Konfiguration aus Fig. 4 hat jedoch keinen expliziten Nullpunkt. Folglich ist es möglich,  $K_2$  und  $\tau_2$  Werte derart zuzuordnen, daß die Schleife ein Dämpfungsverhältnis (§) von größer als 0,707 hat, und daß die Jitter-Übertragungsfunktion für alle Frequenzen gleich oder niedriger als Eins bleibt. Folglich wird die "Jitter-Anhebung" ausgeschlossen.

Ferner wird der oben erwähnte Kompromiß zwischen der Schleifennachführung und der Eingangs-Jitter-Reduzierung, der bei Schaltungen nach dem Stand der Technik notwendig war, ebenfalls ausgeschlossen. Genauer gesagt kann der Phasenfehler zwischen den verzögerten Daten auf der Leitung 420 und dem VCO-Ausgang auf der Leitung 404 durch das Verzögerungselement 418 minimiert werden, wobei jedoch kein Eingangs-Jitter zu dem VCO-Taktausgang hinzugefügt wird.

Obwohl lediglich ein beispielhaftes Ausführungsbeispiel in der obigen Beschreibung gezeigt wurde, sind für Fachleute weitere Modifikationen und Änderungen ohne weiteres offensichtlich. Obwohl die Erfindung bezüglich eines einkommenden



digitalen Datenstroms beschrieben wurde, kann die erfindungsgemäße Architektur ebenfalls für eine analoge Schaltung verwendet werden, um ein ausgedrücktes oder impliziertes Trägersignal zurückzugewinnen. In diesem letzteren Fall würden sowohl die spannungsgesteuerte Verzögerung als auch der Phasenregelkreis analoge Schaltungen gemäß herkömmlichen Entwürfen sein. Diese Änderungen und Modifikationen sind durch die nachfolgenden Ansprüche abgedeckt.

Europäisches Aktenzeichen: 91909233.8

Patentansprüche

1. Signalmrückgewinnungseinrichtung mit Phasenregelkreis (PRK) zur Rückgewinnung eines periodischen Signals aus einem einkommenden Datenstrom (400), wobei die PRK-Signalmrückgewinnungseinrichtung folgendes umfaßt:
  - a. einen Phasendetektor (402), der ein Ausgangssignal generiert, das einen Phasenunterschied zwischen einem ersten Eingang, der aus dem einkommenden Datenstrom abgeleitet wird, und einem zweiten Eingang, der aus einem Ausgang der Signalmrückgewinnungseinrichtung abgeleitet wird, repräsentiert;
  - b. einen integrierenden Verstärker (410), der als Eingang das Ausgangssignal von dem Phasendetektor (402) erhält und als Ausgang ein Regelsignal generiert, das zu einem zeitlichen Integral des Ausgangssignals des Phasendetektors (402) proportional ist;
  - c. einen Oszillator (414) mit variabler Frequenz, der als Eingang das Regelsignal erhält und als Ausgang ein Signal liefert, dessen Frequenz in Abhängigkeit von dem Regelsignal variiert; und
  - d. einen variablen Phasenschieber (418), der als Eingang ein unverzögertes Signal und das Regelsignal erhält und als Ausgang ein verzögertes Signal liefert, dessen Phase sich gegenüber dem unverzögerten Signal um eine Phasenverschiebung unterscheidet, die in Reaktion auf das Regelsignal variiert;

dadurch gekennzeichnet, daß:

- e. der einkommende Datenstrom (400) das unverzögerte Signal des variablen Phasenschiebers (418) bildet, und der Ausgang des variablen Phasenschiebers (418) am ersten Eingang des Phasendetektors (402) liegt; und
- f. der Ausgang des Oszillators (414) mit variabler Frequenz am zweiten Eingang des Phasendetektors liegt;

wobei eine Jitter-Übertragungsfunktion, die eine Phase des Ausgangs des Oszillators (414) mit variabler Frequenz mit einer Phase des einkommenden Datenstroms verknüpft, im wesentlichen die folgende Form hat:

$$\frac{K_2}{s^2 + K_2 \tau_2 s + K_2}$$

"s" bezeichnet hierbei eine komplexe Frequenz,  $K_2$  ein Produkt aus einem Verstärkungsfaktor des Phasendetektors, einem Verstärkungsfaktor des Integrators und einem Verstärkungsfaktor des variablen Oszillators, und  $\tau_2$  ist ein Verhältnis eines Verstärkungsfaktors des Phasenschiebers zum Verstärkungsfaktor des Oszillators mit variabler Frequenz; und

wobei ein Dämpfungsverhältnis und eine Nachführung des Phasenregelkreises unabhängig voneinander wählbar sind, und das Dämpfungsverhältnis so gewählt ist, daß die Jitter-Übertragungsfunktion bei allen Frequenzen gleich oder kleiner Eins gehalten wird, wodurch unabhängig von der Nachführung eine Anhebung des Jitters vermieden wird.

- 2. PRK-Signalrückgewinnungseinrichtung nach Anspruch 1, bei der der variable Phasenschieber (418) folgendes umfaßt:

einen Verstärkerblock (522) zur Generierung der Phasenverschiebung in Reaktion auf den Regelsignaleingang; und

einen Summierer (519) zur Kombination der Phasenverschiebung und einer Phase des unverzögerten Signaleingangs (500), um den verzögerten Signalausgang (520) zu generieren.

3. PRK-Signalrückgewinnungseinrichtung nach Anspruch 2, bei der der variable Phasenschieber (418) einen Verstärkungsfaktor im wesentlichen gleich  $K_2\tau_2$  hat.
4. PRK-Signalrückgewinnungseinrichtung nach Anspruch 1, bei der der integrierende Verstärker (410) einen expliziten Pol aufweist und keinen expliziten Nullpunkt besitzt.
5. PRK-implementiertes Verfahren zur Rückgewinnung eines periodischen Signals aus einem einkommenden Signal (400), um ein rückgewonnenes Signal (404) zu generieren, ohne den Phasen-Jitter des einkommenden Signals zu verstärken, wobei der Phasenregelkreis die folgenden Schritte abwickelt:
  - a. Vergleichen einer Phase eines ersten Signals (420), das vom einkommenden Signal (400) abgeleitet wird, mit einer Phase eines zweiten Signals (404), das aus dem zurückgewonnenen Signal abgeleitet wird, um ein Phasendifferenzsignal (408) zu erzeugen, das unter Einbeziehung eines Verstärkungsfaktors  $G_1$  proportional zu einer Differenz zwischen der Phase des ersten und des zweiten Signals ist;
  - b. Integrieren des Phasendifferenzsignals (408) über die Zeit, um ein integriertes Phasendifferenzsig-

nal (412, 416) zu erzeugen, das unter Einbeziehung eines Verstärkungsfaktors  $G_2$  proportional zum Phasendifferenzsignal (408) ist;

- c. Umwandeln des integrierten Phasendifferenzsignals (412, 416) in eine Frequenz, um ein Frequenzgangssignal zu erzeugen, das unter Einbeziehung eines Verstärkungsfaktors  $G_3$  proportional zur Größe des integrierten Phasendifferenzsignals (412, 416) ist;
- d. Verzögern eines der einkommenden Signale und des zurückgewonnenen Signals um einen zeitlichen Betrag, der unter Einbeziehung des Verstärkungsfaktors  $G_4$  proportional zur Größe des integrierten Phasendifferenzsignals ist, um ein verzögertes Signal zu erzeugen;

dadurch gekennzeichnet, daß:

- e. der Schritt des Verzögerns das Verzögern des einkommenden Signals (400) umfaßt, um das erste Signal (420) zu erzeugen;

wobei eine Jitter-Übertragungsfunktion, die eine Phase des Ausgangs des Oszillators mit variabler Frequenz mit einer Phase des einkommenden Signals verknüpft, im wesentlichen die folgende Form hat:

$$\frac{K_2}{s^2 + K_2 \tau_2 s + K_2}$$

"s" bezeichnet hierbei eine komplexe Frequenz, wobei  $K_2$  ein Produkt aus  $G_1$ ,  $G_2$  und  $G_3$  ist, und  $\tau_2$  das Verhältnis aus  $G_4$  zu  $G_3$  ist; und

wobei ein Dämpfungsverhältnis und eine Nachführung

des Phasenregelkreises unabhängig voneinander wählbar sind, und ein Dämpfungsverhältnis so gewählt ist, daß die Jitter-Übertragungsfunktion bei allen Frequenzen gleich oder kleiner Eins gehalten wird, wodurch unabhängig von der Nachführung eine Anhebung des Jitters vermieden wird.

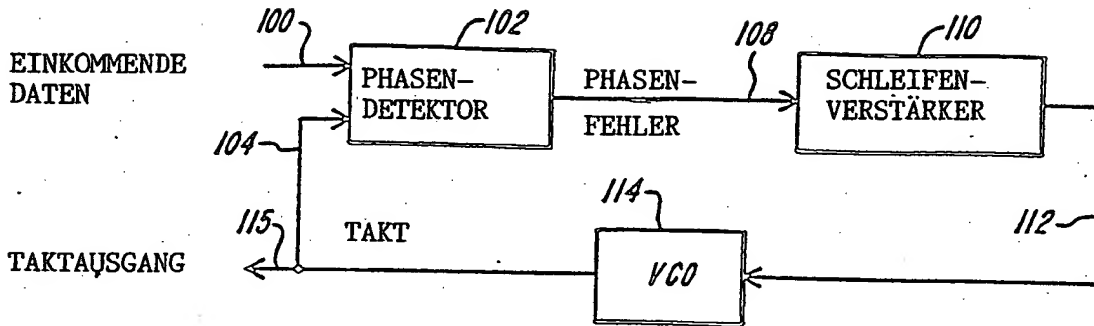
6. PRK-implementiertes Verfahren nach Anspruch 5, bei dem der Schritt des Verzögerens die folgenden Schritte umfaßt:

Multiplizieren der Größe des integrierten Phasendifferenzsignals mit dem Verstärkungsfaktor  $G_4$ , um eine Phasenverschiebung zu erzeugen; und

Summieren der Phasenverschiebung und einer Phase des einkommenden Signals, um das verzögerte Signal zu erzeugen.

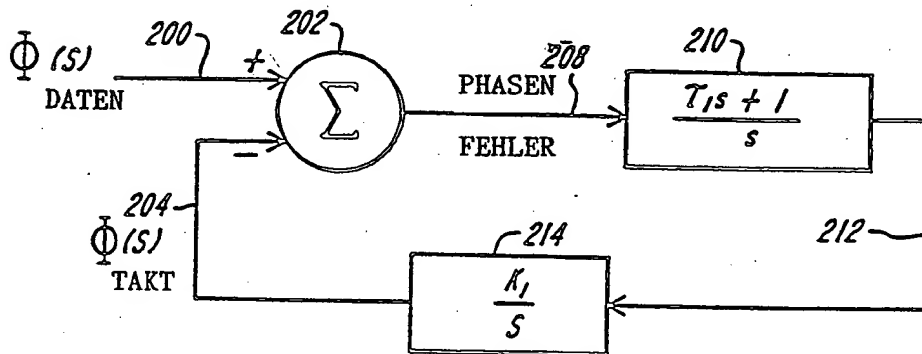
7. PRK-implementiertes Verfahren nach Anspruch 5, bei dem der Schritt des Integrierens eine Übertragungsfunktion verwendet, die einen Pol aufweist und keinen expliziten Nullpunkt besitzt.

Europäisches Aktenzeichen: 91909233.8



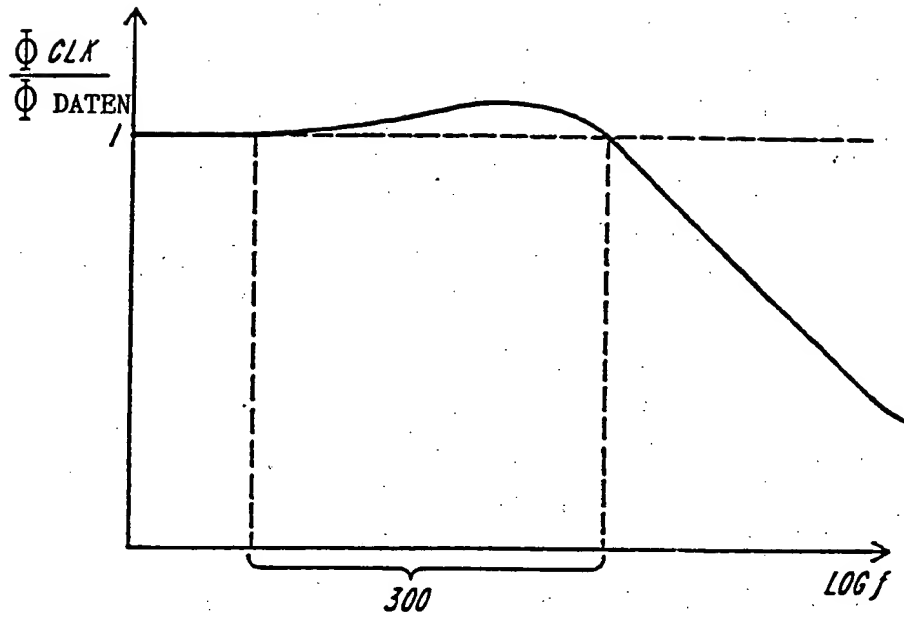
*FIG. 1*

(STAND DER TECHNIK)

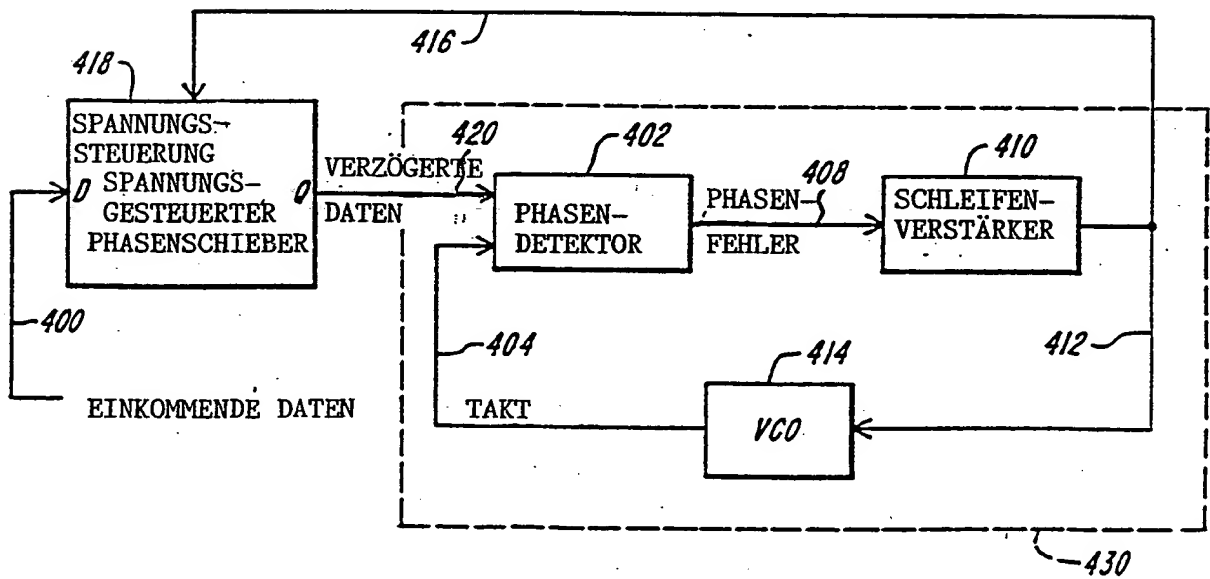


*FIG. 2*

(STAND DER TECHNIK)



**FIG. 3**



**FIG. 4**



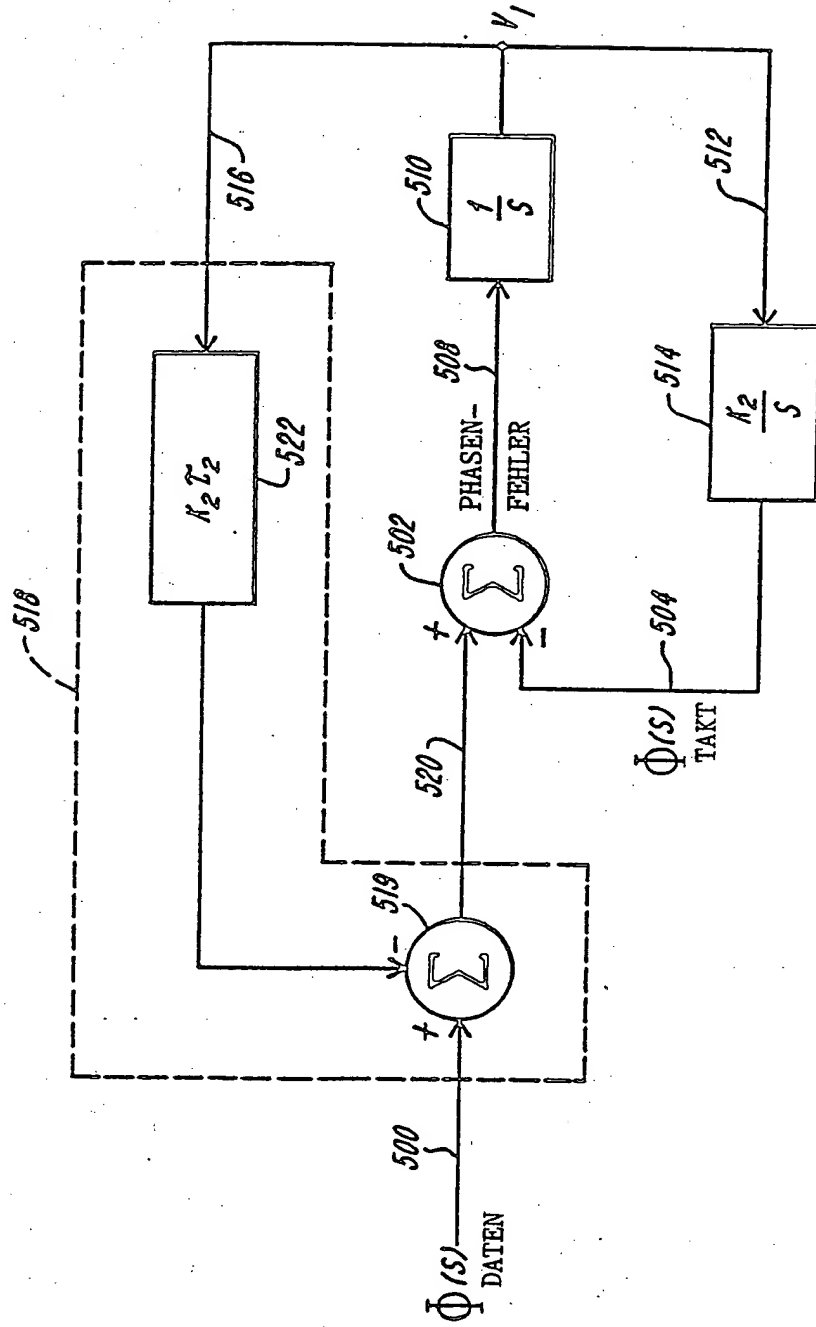


FIG. 5

**This Page Blank (uspto)**